

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244372

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01L 23/12  
H01L 21/56  
H01L 21/3205  
H01L 21/60

(21)Application number : 2000-055863

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.03.2000

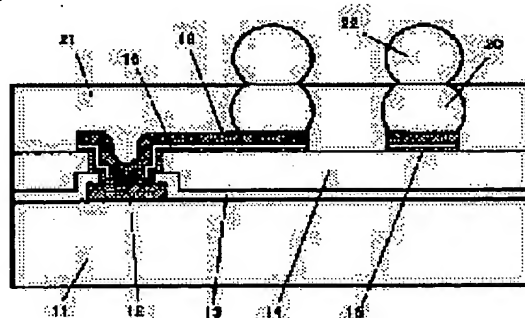
(72)Inventor : MOROZUMI YUKIO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the manufacturing cost in a wafer level CSP semiconductor device, and to improve the reliability by ensuring strength from a rewiring layer to posts and external terminals.

**SOLUTION:** This semiconductor device comprises a contact layer 15, a Cu seed layer 16, and the rewiring layer 18 that is formed by a Cu plating method via a protective insulating layer 13 and a polyimide layer 14 that have a hole in the region of a pad 12 for final wiring. After a solder film is formed by a plating in a given region on the rewiring layer 18, a heat-treated spherical post 20 is formed and its circumference is further enveloped by a sealing resin 21 and a solder ball is mounted on an exposed head part of the post 20 whose upper face is polished and whose side face is arcuate, and a reflowed external terminal is welded.



## LEGAL STATUS

[Date of request for examination] 16.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by including following process (a) - (e) at least in the manufacture approach of a semiconductor device.

(a) By the (process b) process (c) heat treatment, which carries out plating formation of the pewter post, to the request field of said rewiring layer [ which gives the rewiring layer for electrode drawers from the last wiring pad ] The process at which the amount of requests of said resin is removed and said some of posts are exposed after the process (d) resin of said pewter post which spheroidizes a side face at least performs the closure, and the process which forms an external terminal on the post which carried out (e) exposure.

[Claim 2] It is the manufacture approach of the semiconductor device characterized

by carrying out selective plating formation of said pewter post also to the rewiring layer drawer field on a pad aperture in said process (b) in claim 1.

[Claim 3] It is the manufacture approach of the semiconductor device characterized by for said pewter post carrying out selective plating of the pewter layer continuously in said process (b) in claim 1 after carrying out selective plating of the metal of different species [ mask / metal / rewiring layer ] for a photoresist, and being formed.

[Claim 4] It is the manufacture approach of the semiconductor device characterized by carrying out until the amount of removal of said resin reaches the overall diameter of a spherical pewter post from a top face in said process (d) in claim 1.

[Claim 5] It is the manufacture approach of the semiconductor device characterized by said external terminal consisting of a pewter post with the low presentation ingredient of the melting point in said process (e) in claim 1.

[Claim 6] The manufacture approach of the semiconductor device characterized by having further the process which gives dicing and is piece[ of \*\* ]-ized for every chip after said process (e) in claim 1.

[Claim 7] The semiconductor device characterized by being the semiconductor device of a chip-size package mold, giving a rewiring layer from the pad aperture of the last wiring, having the spherical post which had the part surrounded by the

request field of said rewiring layer by closure resin, and coming to form an external terminal after said spherical post.

[Claim 8] It is the semiconductor device characterized by said semiconductor device being a semi-conductor wafer in claim 7.

[Claim 9] after said rewiring layer, said spherical post, and said external terminal were formed in claim 7 -- every semiconductor chip -- \*\* -- a piece -- the semiconductor device characterized by coming-izing.

[Claim 10] The semiconductor device characterized by coming to form said rewiring layer, said spherical post, and said external terminal in claim 7 after piece[ of \*\* ]-izing a semi-conductor wafer for every semiconductor chip.

[Claim 11] It is the semiconductor device characterized by forming said spherical post with the pewter by plating in claim 7.

[Claim 12] The configuration of the postside face which is the semiconductor device of a chip-size package mold, and is covered by resin is a semiconductor device characterized by at least a part having the field which is not perpendicular to a silicon substrate.

[Claim 13] The semiconductor device characterized by the post which is the semiconductor device of a chip-size package mold, and carries an external terminal serving as a hollow configuration.

[Claim 14] An external terminal is a semiconductor device characterized by being the semiconductor device of a chip-size package mold, and for a front face consisting of pewter material and having a metal nucleus with the melting point higher than said pewter material inside.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device and its manufacture approach of a CSP (chip-size package) mold of the wafer level corresponding to high density assembly.

[0002]

[Description of the Prior Art] In recent years, with the miniaturization of equipments, such as a cellular phone and an information terminal, small [ of loading components ] and lightweightization are required and supply of CSP of the wafer level on which semiconductor devices, such as LSI, also unified like conventional wafer downstream processing and a conventional package assembler came to be performed. Compared with CSP made from the conventional single chip, the description

of CSP of wafer level holds down the manufacturing cost by reduction of components mark, such as INTAPOZA, or a routing counter, and attains low cost-ization of a package total. As for this technique, that structure and process outline are indicated by the Nikkei micro device February issues p38-p67 in 1999, and the electronic ingredient September issues p21-p85.

[0003] These manufacture approaches are shown in drawing 7 and drawing 8.

[0004] First, as shown in drawing 7 (A), after puncturing the protection insulating layer 13 and the polyimide layers 14 on aluminum alloy wiring pad 12 of the silicon substrate 11 from which the semiconductor device was made, such as a silicon nitride, the spatter of the Cu is carried out on the adhesion layers 15, such as Cr and TiW, respectively, after forming the seed layer 16, further, selective plating of the Cu is carried out, a resist 17 is pulled out on a mask, and the rewiring layer 18 of business is formed. Next, as shown in drawing 7 (B), the Cu post 30 in which selective plating of the new resist 19 was carried out to the mask, and the laminating of the barrier was carried out in about 100-micrometer thick Cu layer and the barrier layer 31 is formed. Next, as shown in drawing 8 (A), after exfoliating a resist 19, rewiring which separated the rewiring layer 18 respectively at it when etching removal of the seed layer 16 and the adhesion layer

15 was carried out to the mask is formed. Furthermore, as shown in drawing 8 (B), after [ the silicon substrate 11 whole ] sealing a front face by closure resin 21 at least, the barrier layer 31 of Cu post 30 front face is exposed for this resin 21 by grinding or mechanical polishing. Furthermore, a pewter ball is carried in each post30 field with an automatic transfer machine, it heat-treats so that a pewter ball may weld, and the external terminal 22 is formed. An electrical property is checked after that, dicing is carried out for every chip, and the mother board of a pocket equipment etc. is equipped.

[0005] However, in this technique, it has the following problems.

[0006] The barrier layer 31 which prevents forming the thick Cu post 30 by plating, oxidization of Cu, etc. is needed, a plating organ bath and a process of a different kind are required, and cost and a flow man-day pose a problem.

Furthermore, since post 30 is formed perpendicularly, it is weak to the tensile stress of a lengthwise direction, and when carried especially in a flexible board, it has the problem which exfoliation with the rewiring layer 18 produces. Moreover, although it covers with the polyimide layer 14 around number 10-100 micrometers of thickness and elasticity is given so that fault may not be given to the semiconductor device of silicon substrate 11 front face for the

compressive stress concerning post 30, as a result, stress concentrates on the contact section of a pad aperture and rewiring, and it is easy to produce an open circuit and a crack around pad 12 field at back processes, such as a resin seal and wearing on a grinding operation or a board. Moreover, with the pad puncturing level difference of the polyimide layer 14, by the pad aperture, the seed layer 16 grade which depends on a spatter was attached, since the surroundings were severe, as a result, growth of the rewiring layer 18 was not uniform, either and the dependability in connection with electromigration had also become a problem. In addition, grinding must be carried out so that it may leave with sufficient reappearance of the thin barrier layer 31, there are many management items, such as thickness of closure resin, the amount of grinding, and plating thickness, and mass-production nature is also a problem.

[0007]

[Problem(s) to be Solved by the Invention] The purpose of this invention is in the semiconductor device of the CSP mold of wafer level to offer a reliable semiconductor device and its manufacture approach by low cost, without being accompanied by the increment in a process.

[0008]

[Means for Solving the Problem] The manufacture approach of the

semiconductor device of this invention is characterized by including following process (a) - (e) at least in the manufacture approach of a semiconductor device.

[0009] (a) By the (process b) process (c) heat treatment which carries out plating formation of the pewter post, to the request field of said rewiring layer [ which gives the rewiring layer for electrode drawers from the last wiring pad ] The process at which the amount of requests of said resin is removed and said some of posts are exposed after the process (d) resin of said pewter post which spheroidizes a side face at least performs the closure, and the process which forms an external terminal on the post which carried out (e) exposure.

[0010] In the manufacture approach of this invention, a rewiring layer is given to a pad for external ejection or a dummy pad of the last wiring of LSI etc., after forming a pewter post in the request field, it spheroidizes by annealing, and after exposing a part for this by the package, grinding, or mechanical polishing by closure resin, further, a pewter ball is carried and an external terminal is formed by carrying out joining.

[0011] According to this manufacture approach, a side face can form a post strong also against a nothing tensile stress for a segment. Therefore, without making a man day increase, the post which does not need a barrier layer can

be formed and improvement in reduction and mass-production nature of cost, and dependability can be aimed at according to a simple process.

[0012] In addition, process (a) - (e) concerning this invention can also be carried [ also carrying out to a semi-conductor wafer, and ] out to the piece chip of \*\*.

[0013] Moreover, the manufacture approach of the semiconductor device of this invention is characterized by carrying out selective plating formation of said pewter post also to the rewiring layer drawer field on a pad aperture in said process (b).

[0014] Thus, since a pewter post can be formed also in a pad aperture at the same process, the stress in the closure and the grinding operation of resin is avoidable. Moreover, since the interior of pad puncturing is also filled up with a pewter,

~~rewiring is attached, the poor~~  
surroundings are compensated and an open circuit can be avoided.

[0015] Furthermore, the manufacture approach of the semiconductor device of this invention is characterized by carrying out selective plating of the pewter layer continuously, and forming it, after said pewter post carries out selective plating of the metal of a different kind for a photoresist to a mask with a rewiring layer metal in said process (b).

[0016] In a process (c), although a pewter

post is heat-treated and it is made spherical, if temperature is high, a pewter will become easy to flow a rewiring layer top. Stabilization of a postconfiguration can be attained, even if it plays the role of the stop guide of pewter flow by plating a different metal from a rewiring layer with the same pattern as a base layer and does not carry out severe temperature management, before carrying out selective plating of the pewter. For example, it is \*\*\*\*\* about pewter flow by arranging dissimilar metals, such as an AuNi alloy, on nickel or nickel rewiring layer on the rewiring layer of Cu at which rewiring top, such as Cu. Or the manufacture approach of the semiconductor device of the invention in this application is characterized by said external terminal consisting of a pewter post with the low presentation ingredient of the melting

~~point in said process (e)~~

[0017] Or the manufacture approach of the semiconductor device of this invention is characterized by an external terminal consisting of a pewter post with the low presentation ingredient of the melting point in said process (e).

[0018] Furthermore, the manufacture approach of the semiconductor device of this invention is characterized by having further the process which gives dicing and is piece[ of \*\* ]-ized for every chip after said process (e).

[0019] The process piece[ of \*\* ]-ized for

said every chip is a process applied when said process (a) - (e) is performed to a semi-conductor wafer, and when said process (a) - (e) is performed to the piece chip of \*\*, it is not applied.

[0020] Here, in a process (e), although a pewter ball is carried on an exposure post, and joining is carried out by heat treatment and considered as an external terminal, the height and configuration of dispersion of an external terminal decrease by applying the ball which had a nucleus with the melting point higher than pewters, such as Cu and nickel, in the interior. Therefore, the yield at the time of wearing to a mother board etc. is improved, further, by nuclear suspension, the role of stress relaxation is also played and the property effect on a component and control of wearing conditions become easy.

[0021] Moreover, the semiconductor device of this invention is a semiconductor device of a chip-size package mold, it gives a rewiring layer from the pad aperture of the last wiring, has the spherical post which had the part surrounded by the request field of said rewiring layer by closure resin, and is characterized by coming to form an external terminal after said spherical post.

[0022] after [ the semi-conductor wafer of the semiconductor device of this invention is sufficient as said whose semiconductor device ] carrying out and

forming said rewiring layer, said spherical post, and said external terminal -- every semiconductor chip -- \*\* -- a piece -- after [ the thing it comes-izing / thing / is sufficient as ] carrying out and piece[ of \*\* ]-izing a semi-conductor wafer for every semiconductor chip, it may come to form said rewiring layer, said spherical post, and said external terminal.

[0023] Thus, the semiconductor device of this invention may be which mode of a semi-conductor wafer and the piece chip of \*\*.

[0024] Or the semiconductor device of this invention is characterized by forming said spherical post with the pewter by plating.

[0025] Furthermore, the semiconductor device of this invention is a semiconductor device of a chip-size package mold, and the configuration of the postside face covered by resin is characterized by at least a part having the field which is not perpendicular to a silicon substrate.

[0026] According to this semiconductor device, it can have the field which is not perpendicular to at least a part to a silicon substrate, reinforcement is secured as CSP of wafer level to the tensile stress in the case of equipping the mother board of for example, a pocket device, and the configuration of the postside face covered by resin can aim at improvement in the yield or dependability. Moreover, configuration control of a post



and improvement in adhesion reinforcement can be aimed at by preparing a dissimilar metal layer in a part of rewiring layer [ at least ] in the field to which a post is arranged.

[0027] Or the semiconductor device of this invention is a semiconductor device of a chip-size package mold, and is characterized by the post carrying an external terminal serving as a hollow configuration.

[0028] Furthermore, the semiconductor device of this invention is a semiconductor device of a chip-size package mold, a front face consists of pewter material and an external terminal is characterized by having a metal nucleus with the melting point higher than said pewter material inside.

[0029] Thus, further, by the melting point be higher than a pewter to the interior of a pewter external terminal, for example,

~~make it hold nuclei such as Cu and nickel or an alloy,~~ configuration dispersion of an external terminal be suppress, it become possible to ease stress and to take a large condition margin at the time of board wearing, and improvement in the yield or dependability can be aim at.

[0030]

[Embodiment of the Invention] (Gestalt of the 1st operation) Drawing 1 is cross-section structural drawing of the semiconductor device concerning the gestalt of operation of the 1st of this

invention. The structure of the semiconductor device concerning the gestalt of the 1st operation is explained briefly. It has covered by the last protection insulating layer 13 for which semiconductor devices, such as an MOS transistor, are formed in a silicon substrate 11, and these are wired with metals, such as aluminum alloy, through an interlayer insulation film and which becomes by silicon oxide, a silicon nitride, etc. The pad 12 for the electrode ejection to the exterior of the last wiring is formed for external electrode ejection, the need field of this protection insulating layer 13 is punctured, and the laminating of the about dozens-100-micrometer polyimide layer 14 is carried out to the upper layer for the stress relaxation to a component, removing an aperture. From a pad 12, it has the adhesion layer 15 which becomes by TiW, Cu seed layer 16, and the rewiring layer 18, which carried out plating membrane-formation of the Cu by the thickness of several more micrometers. After forming membranes by pewter plating to the predetermined field on the rewiring layer 18, the heat-treated spherical post 20 is formed, grinding of a package and the front face is mostly carried out in respect of the same by closure resin 21, such as epoxy, in the perimeter, and, as for post 20 side face, the segment is made as a result. Joining formation of the external terminal 22 which carried the pewter ball in the

exposed head is carried out on the request post 20. Electrical installation is made by the external terminal 22 through a pad 12, the rewiring layer 18, and spherical post 20 grade from an internal component.

[0031] Next, the manufacture approach of the semiconductor device concerning the gestalt of the 1st operation is explained.

Drawing 2 and drawing 3 are the outline sectional views for explaining this in order of a process.

[0032] As shown in drawing 2 (A), about 1000nm of protection insulating layers 13, such as a silicon nitride, is formed by the last wiring of aluminum alloy which contains a pad 12 in the silicon substrate 11 in which the semiconductor device etc. was formed first, and plasma CVD, and selective etching of this insulating layer 13 of a request field is carried out, and it punctures. Furthermore, for stress

relaxation, thickness forms the polyimide layer 14 which is about dozens-100 micrometers, and carries out selection removal of the pad aperture. If the protection insulating layer 13 and the polyimide layer 14 carry out selection puncturing with the same photo mask, since the stage piece in the rewiring process later mentioned even if the level difference configuration to a pad 12 becomes severe and it taper-izes will be produced, a process will be simplified, if it is good to carry out at another process and it uses photosensitive polyimide

further. Subsequently, after carrying out the continuation spatter of about dozens-100nm TiW and the about 100-1000nm Cu and forming the adhesion layer 15 and the seed layer 16, patterning of the photoresist 17 is carried out, selection electric-field plating of the Cu of the thickness of hundreds - about 1000nm of numbers is carried out, and the rewiring layer 18 is formed here. The adhesion layer 15 may apply refractory metals, such as Cr, nickel, Ti, TiCu, and Pt, and the alloy of those other than TiW. Moreover, nickel, Ag, and Au(s) or these alloys are also applicable to the seed layer 16 besides Cu.

[0033] Next, as shown in drawing 2 (B), the pewter post 200 which carried out selective plating of the resist 19 which carried out patterning to \*\*\*\*\* at the photograph process to the mask by the thickness of about dozens-100

micrometers to the request field of the rewiring layer 18 is grown up. Selective plating grew up the elevated-temperature pewter which becomes by the presentation of Pb85-97wt%/Sn by the electric-field method. In the pewter post 200, it is unnecessary, although re-plating was required, having used nickel, Au, its alloy or pewter, etc. as the barrier layer so that a scaling coat etc. could not do Cu, in using a post. RESHISUTO 19 is exfoliated after that, and as ion mealing is used for a mask for the rewiring layer

18 and the seed layer 16 and the adhesion layer 15 of an unnecessary field are shown in drawing 2 (C) by carrying out selection removal, rewiring is separated respectively. this removal process -- sentiments, such as an aqua regia, the second cerium ammonium of a nitric acid, and a water solution of a potassium hydroxide, -- although it may be dirty, when thickness reduction of the side etch of each metal layer or the pewter post 200 which constitutes rewiring is taken into consideration, the etchback by the dry etcher, mealing, etc. is desirable.

[0034] Then, if flux is applied if needed and heat treatment is carried out like number 10 minute in about 180-230-degree C nitrogen-gas-atmosphere mind as shown in drawing 3 (A), the flow of the pewter post 200 will be carried out, and the spherical post 20 will be formed. It

depends on the configuration and magnitude at this time on a pattern dimension, thickness, a presentation, and temperature and time amount. Although the width of face of the pattern of the pewter post 200 was chosen by dozens - 100 micrometers of numbers, a flat-surface configuration can be diversified like [ not only a square but a rectangle, a polygon, etc. ] a pad 12. Furthermore, continuously, as shown in drawing 3 (B), grinding is covered a spherical post and carried out by closure resin 21, such as epoxy, with mold

equipment so that the spherical post 20 may be exposed by the grinder. Management of the amount of grinding at this time was able to make Cu of the former [ margin / of the amount of grinding ] larger enough than the case where a post is used, as range of  $1/5 - 4/5$  of distance until it reaches an overall diameter from the top-most vertices of the spherical post 20. It is the point to consider as the form where the spherical post 20 is wrapped in closure resin 21 from a top face, here. In addition, although the grinder was used for the grinding of resin, the etchback by the dry etcher using the method which carries out package mechanical polishing of the whole wafer-like silicon substrate surface, oxygen and CF<sub>4</sub>, NF<sub>3</sub>, or these mixed gas is also applicable.

[0035] Next, if flux is applied if needed, the Pb/Sn60-70wt% pewter ball 220 is

arranged on the required post 20 with an automatic transfer machine and a reflow is carried out by heat treatment of about 170-200 degrees C as shown in drawing 3 (C), the spherical post 20 as shown in drawing 1 , and the welded external terminal 22 will be formed. Although the magnitude of the pewter ball 220 used the diameter of 150-300 micrometer for BGA (Ball Grid Array), it is not limited by especially the application. Deformation of the post at the time of a reflow has little direction which used the ingredient with the low melting point, and the pewter for

external terminal 22 has less dispersion in the result external terminal configuration than the pewter used for post 20. Moreover, although formation of the pewter layer for external terminals by print processes, plating, or the metal jet process is also considered instead of carrying the pewter ball 220, a man day, cost, and configuration repeatability are inferior to the ball carrying method.

[0036] According to the gestalt of the 1st operation, the side face of post 20 is being fixed so that a segment may be maintained and it may be wrapped in closure resin 21. Therefore, also to the stress from [ which is produced at a back process ] each, the adhesion force of post 20 was secured, especially compared with the former; it has been improved sharply and the adhesion force over the stress of the direction of hauling was able to aim at improvement in the yield or

dependability. Moreover, in formation of post 20, plating or the photograph process of thick Cu layer or a barrier layer are not needed, but the improvement of a throughput or cost is made. Moreover, since there was no barrier layer, control management of the amount of grinding after a resin seal became easy, and improvement in the yield and mass-production nature was able to be aimed at. Furthermore, the melting point of the ingredient which constitutes the external terminal 22 is made lower than that of the component of

post 20, and the CSP wearing yields and dependability to a mother board etc. also including configuration stabilization of an external terminal are secured.

[0037] In addition, in the formation process of the pewter post 200 in drawing 2 (B), although the semiconductor device which formed the postpattern also on the rewiring layer 18 of pad 12 field at coincidence was also manufactured, poor adhesion, a crack, etc. of rewiring in pad 12 boundary region which are produced at a back process decreased. Moreover, step coverage with each severe spatter layer which constitutes rewiring from a pad 12 could be compensated with postmaterial, and the poor stage piece was able to be reduced. In case the post here will carry out grinding of the closure resin if it is made into a gestalt which forms a pattern with an area smaller than the post of its posts of other by

package FOTORISO, and sinks in a pad aperture by the 1st heat treatment since it does not need to carry an external terminal, it is possible with the post in the condition that a front face is not exposed. Moreover, the magnitude of a photograph pattern may be adjusted, an external terminal may be carried in the post here, and you may utilize as the terminal for reinforcement, or a terminal for functional checks.

[0038] (Gestalt of other operations) When spheroidizing the pewter post 200 by heat treatment, the pewter flowed this

rewiring layer top 18 according to the spreading conditions of flux, or the surface state of an ingredient or the rewiring layer 18, and there was a case where the height of the spherical post 20 varied as a result, rarely. As shown in drawing 4, before growing up the pewter post 200 as an approach of preventing this, the base layer 23 which plated thinly beforehand different dissimilar metals from the rewiring layer 18, such as nickel and Au, with the thickness of about dozens of nm was given. Consequently, pewter flow like before became that there is nothing, and stabilization of post20 configuration was able to be attained.

[0039] Moreover, although the pewter ball which becomes about [ used as an external terminal ] Pb/Sn60wt% was used with the gestalt of the 1st operation, it replaced with this, and as shown in

drawing 5 as a result of carrying out prototype application of the ball with which the periphery was covered by the conventional pewter material including the nickel nucleus 50 with the high melting point inside, stabilization of the configuration of the external terminal 22 was able to be attained compared with the conventional case. In the process equipped with CSP, even if the wiring height of a partner mother board varied by nuclear suspension movement on the occasion of pewter joining, positive contact and immobilization were secured,

and as a result, the joining pressure and the temperature control margin were able to aim at improvement in breadth and the wearing yield to a board.

[0040] In addition, as shown in drawing 6 (A) after forming the rewiring layer 18, furthermore it is the field which forms the pewter post 200, at a photograph process, the pattern resist 190 is formed in the interior, selective plating of the barrier layer 31 of the Cu post 30 and nickel is carried out like a conventional method, and a hollow post is formed. RESHISUTO 19 and 190 was exfoliated after that, ion mealing was used for the mask for the rewiring layer 18, selection removal of the seed layer 16 and the adhesion layer 15 of an unnecessary field was carried out, and rewiring was separated respectively. Then, if it arranges on the hollow post which asks for the pewter ball 220 with an automatic transfer machine and a reflow is carried out by 170-200 after applying flux, if needed, as shown in drawing 6 (B), a hollow post and the welded external terminal 22 will be formed. Next, after applying closure resin 21, such as epoxy, etchback was carried out by the dry etcher using oxygen or the mixed gas of CF<sub>4</sub>, the external terminal 22 was exposed, and the semiconductor device as shown in drawing 6 R> 6 (C) was manufactured. As a result, the post could aim at \*\*\*\* reduction of plating cost in the hollow configuration, and the faying

surface product of an external terminal and a post increased, and reinforcement became large. Moreover, the stress at the time of giving flexibility to a post by adjusting the amount of pewters which flows inside, or adjusting the board thickness 40 which constitutes a hollow post, and closure resin hardening is eased, the effect of the semiconductor device on directly under a post is prevented, and it is effective in the dependability of the semiconductor device of a CSP mold being securable.

[0041] In addition, the rewiring layer 18, and the spherical post 20 and an external terminal are formed the pad for electrode ejection, and on [ various ] a dummy pad, and even if it uses for a wearing reinforcement terminal etc., they do not interfere.

[0042] moreover -- what was formed by Cu, refractory metal ingredients or those laminatings, or the alloy wiring layer although that by which wiring of a semiconductor device was constituted from an aluminum alloy was explained in the gestalt of the operation explained until now -- possible -- further -- formation of a wiring layer -- DAMASHIN -- it is applicable also to the semiconductor device performed by law. When forming rewiring of Cu or nickel in DAMASHIN wiring especially using Cu, surface smoothness and adhesion affinity with pad material are good.

[0043] Furthermore, application of the

pewter of the presentation which contains Ag, Cu, Bi, etc. in Sn as pewter material which does not contain Pb other than the Pb/Sn system pewter in an example is also possible.

[0044]

[Effect of the Invention] As mentioned above, according to this invention, after forming with a pewter the post which carries a \*\*\*\*\* terminal in CSP of wafer level, spheroidizing can be performed, post and external terminal reinforcement can be enlarged from rewiring as a form where this post is further wrapped in closure resin, and a reliable semiconductor device can be supplied by low cost. Furthermore, by pinching the base layer of rewiring material and a dissimilar metal making the metal nucleus of the melting point higher than this pewter material hold inside a pewter external terminal, and directly under a pewter post etc. configuration dispersion of each configuration member is suppressed, improvement in the yield at the time of carrying CSP to a mother board and stress relaxation which joins a semiconductor device can be planned, and the semiconductor device of the detailed CSP mold which was rich at mass-production nature can be supplied.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross-section structure side of the semiconductor device concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is cross-section structural drawing showing an example of the manufacture approach of the semiconductor device concerning the gestalt of operation of the 1st of this invention in order of a process.

[Drawing 3] It is cross-section structural drawing showing an example of the manufacture approach of the semiconductor device concerning the gestalt of the operation of the 1st of this invention performed following the process shown in drawing 2 in order of a process.

[Drawing 4] It is cross-section structural drawing showing an example of the manufacture approach of the semiconductor device concerning the gestalt of other operations of this invention.

[Drawing 5] It is cross-section structural drawing about an example of the manufacture approach of the semiconductor device further concerning the gestalt of other operations of this invention.

[Drawing 6] It is cross-section structural drawing showing the order [ of an example of the manufacture approach of the semiconductor device further

concerning the gestalt of other operations ] of a process of this invention.

[Drawing 7] It is cross-section structural drawing showing an example of the manufacture approach of the conventional semiconductor device in order of a process.

[Drawing 8] It is cross-section structural drawing showing an example of the manufacture approach of the conventional semiconductor device performed following the process shown in drawing 7 in order of a process.

[Description of Notations]

11 Silicon Substrate

12 Pad

13 Protection Insulating Layer

14 Polyimide Layer

15 Adhesion Layer

16 Seed Layer

17 19,190 RESHISUTO

18 Rewiring Layer

20 Spherical Post

21 Closure Resin

22 External Terminal

23 Base Layer

30 Cu Post

31 Barrier Layer

40 Board Thickness

50 Nucleus

200 Pewter Post

220 Pewter Ball

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-244372

(P2001-244372A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマート\*(参考)

H 0 1 L 23/12

H 0 1 L 21/56

R 5 F 0 3 3

21/56

23/12

L 5 F 0 6 1

21/3205

21/88

T

21/60

21/92

6 0 2 F

6 0 2 L

審査請求 未請求 請求項の数14 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願2000-55863(P2000-55863)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成12年3月1日(2000.3.1)

(72)発明者 両角 幸男

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

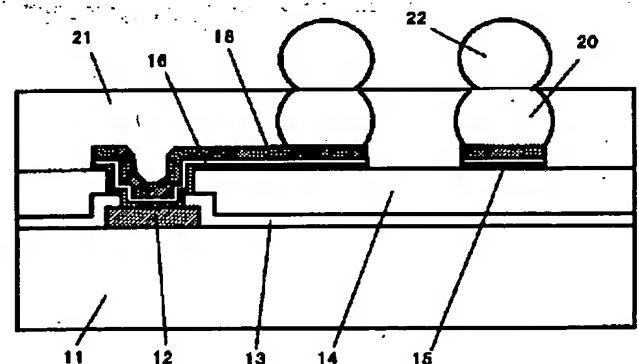
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ウエーハレベルのCSP型半導体装置の製造コスト低減と、再配線からポスト、外部端子までの強度を確保し信頼性の向上を図る。

【解決手段】 最終配線のパッド12領域に開孔された保護絶縁層13とポリイミド層14を介して密着層15、Cuシード層16とCuメッキ法で成膜した再配線層18を有し、該再配線層18上の所定領域にハンダをメッキで成膜後、熱処理した球状ポスト20を形成し、更に周囲を封止樹脂21で包み、且つ上面は研削され側面が弓形をなした該ポスト20の露出頭部に、ハンダボールを搭載し、リフローされた外部端子22が溶着形成されている。





(2)

1

## 【特許請求の範囲】

【請求項 1】半導体装置の製造方法において、少なくとも以下の工程 (a) ~ (e) を含むことを特徴とする半導体装置の製造方法。

(a) 最終配線パッドから電極引き出し用の再配線層を施す工程

(b) 前記再配線層の所望領域にハンダポストをメッキ形成する工程

(c) 熱処理によって、前記ハンダポストの少なくとも側面を球状化する工程

(d) 樹脂にて封止を行った後に、前記樹脂の所望量を除去し前記ポストの一部を露出させる工程、及び

(e) 露出したポスト上に外部端子を形成する工程。

【請求項 2】請求項 1 において、前記工程 (b) において、前記ハンダポストは、パッド開孔部上の再配線層引き出し領域にも選択メッキ形成されていることを特徴とする半導体装置の製造方法。

【請求項 3】請求項 1 において、前記工程 (b) において、前記ハンダポストは、フォトリソをマスクに再配線層金属とは異種の金属を選択メッキした後に、続けてハンダ層を選択メッキして形成されていることを特徴とする半導体装置の製造方法。

【請求項 4】請求項 1 において、前記工程 (d) において、前記樹脂の除去量は、上面から球状ハンダポストの最大径に達するまでとすることを特徴とする半導体装置の製造方法。

【請求項 5】請求項 1 において、前記工程 (e) において、前記外部端子は、ハンダポストより融点の低い組成材料であることを特徴とする半導体装置の製造方法。

【請求項 6】請求項 1 において、前記工程 (e) の後に、ダイシングを施してチップ毎に固片化する工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 7】チップサイズパッケージ型の半導体装置であって、最終配線のパッド開孔部から再配線層を施し、前記再配線層の所望領域に封止樹脂で一部を囲まれた球状ポストを有し、前記球状ポストの上に外部端子が形成されてなることを特徴とする半導体装置。

【請求項 8】請求項 7 において、前記半導体装置は、半導体ウエハーであることを特徴とする半導体装置。

【請求項 9】請求項 7 において、前記再配線層、前記球状ポスト、及び前記外部端子が形成された後に半導体チップ毎に固片化されてなることを特徴とする半導体装置。

【請求項 10】請求項 7 において、半導体ウエハーを半導体チップ毎に固片化した後に、前記再配線層、前記球状ポスト、及び前記外部端子が形成されてなることを特徴とする半導体装置。

2

【請求項 11】請求項 7 において、前記球状ポストは、メッキ法によるハンダで形成されていることを特徴とする半導体装置。

【請求項 12】チップサイズパッケージ型の半導体装置であって、樹脂で覆われるポスト側面の形状は、シリコン基板に対して少なくとも一部が垂直でない領域を持つことを特徴とする半導体装置。

【請求項 13】チップサイズパッケージ型の半導体装置であって、外部端子を搭載するポストが、中空形状となっていることを特徴とする半導体装置。

【請求項 14】チップサイズパッケージ型の半導体装置であって、外部端子は、表面がハンダ材で構成され、内部に前記ハンダ材より融点の高い金属核を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高密度実装対応のウエーハレベルの CSP (チップサイズパッケージ) 型の半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、携帯電話や情報端末等の機器類の小型化に伴い、搭載部品の小型、軽量化が要求され、LSI 等の半導体装置も、従来のウエーハ処理工程とパッケージ組み立て工程を一本化したウエーハレベルの CSP の供給が行われるようになった。ウエーハレベルの CSP の特徴は、従来の単チップから作られる CSP に比べ、インタポーザ等の部品点数や工程数の削減による製造コストを抑え、パッケージトータルの低コスト化を図るものである。この技術は、例えば 1999 年の日経マイクロデバイス 2 月号 p 38 ~ p 67 や電子材料 9 月号 p 21 ~ p 85 にその構造や工程概要が記載されている。

【0003】これらの製造方法は、例えば図 7 及び図 8 に示す。

【0004】まず、図 7 (A) に示すように、半導体素子が作り込まれたシリコン基板 11 の Al 合金配線パッド 12 上のシリコン窒化膜等の保護絶縁層 13 及びポリイミド層 14 を開孔した後に、Cr や TiW 等の密着層 15 上に Cu をそれぞれスパッタしてシード層 16 を形成後、更にレジスト 17 をマスクに Cu を選択メッキして引き出し用の再配線層 18 を形成する。次に、図 7

(B) に示すように、新たなレジスト 19 をマスクに 100 μm 程度の厚い Cu 層と、バリア層 31 を選択メッキして、バリアが積層された Cu ポスト 30 を形成する。次に、図 8 (A) に示すように、レジスト 19 を剥離した後、再配線層 18 をマスクにシード層 16、密着層 15 をエッチング除去すると、各々分離した再配線が形成される。更に、図 8 (B) に示すように、シリコン基板 11 全体の少なくとも表面を封止樹脂 21 で密閉した後、該樹脂 21 を研削もしくは機械研磨によって Cu

(3)

3

ポスト30表面のバリア層31を露出させる。更に自動移載機によって各ポスト30領域にハンダボールを搭載し、ハンダボールがポストに溶着するように熱処理を施し、外部端子22を形成する。その後電気特性がチェックされチップ毎にダイシングし、携帯機器類のマザーボード等に装着される。

【0005】しかしこの技術においては、以下のような問題を有する。

【0006】厚いCuポスト30をメッキで形成することや、Cuの酸化等を防ぐバリア層31を必要とし、異種のメッキ浴槽と工程が必要で、コストと流動工数が問題となる。更にポスト30は垂直に形成されるため縦方向の引っ張り応力には弱く、特にフレキシブルボードに搭載した場合は再配線層18との剥離が生ずる問題がある。又、ポスト30にかかる圧縮応力をシリコン基板11表面の半導体素子に不具合を与えないように、厚み数十～100 $\mu$ m前後のポリイミド層14を敷いて弾力を持たせているが、この結果パッド開孔部と再配線との接触部に応力が集中し、樹脂封止や研削工程あるいはボードへの装着等の後工程で、パッド12領域周辺に断線やクラックが生じ易い。又ポリイミド層14のパッド開孔段差によってパッド開孔部ではスパッタに依るシード層16等の付きまわりが厳しいため、結果的に再配線層18の成長も均一でなくエレクトロマイグレーションにかかわる信頼性も問題となっていた。この他、薄いバリア層31を再現良く残すように研削しなくてはならず、封止樹脂の厚み、研削量及びメッキ厚み等の管理項目が多く量産性も問題である。

【0007】

【発明が解決しようとする課題】本発明の目的は、ウェーハレベルのCSP型の半導体装置において、工程の増加を伴うことなく、低コストで信頼性の高い半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体装置の製造方法において、少なくとも以下の工程(a)～(e)を含むことを特徴とする。

【0009】(a)最終配線パッドから電極引き出し用の再配線層を施す工程

(b)前記再配線層の所望領域にハンダポストをメッキ形成する工程

(c)熱処理によって、前記ハンダポストの少なくとも側面を球状化する工程

(d)樹脂にて封止を行った後に、前記樹脂の所望量を除去し前記ポストの一部を露出させる工程、及び

(e)露出したポスト上に外部端子を形成する工程。

【0010】本発明の製造方法においては、LSI等の最終配線の外部取り出し用パッド、あるいはダミーパッド等に再配線層を施し、その所望領域にハンダポストを形成した後アニールによって球状化し、これを封止樹脂

4

で包み、研削もしくは機械研磨等によって一部を露出させた後、更にハンダボールを搭載し溶着させることで外部端子が形成される。

【0011】この製造方法によれば、側面が弓形をなし引っ張り応力にも強いポストが形成できる。従って工数を増加させることなく、又バリア層を必要としないポストが形成でき、簡易なプロセスによりコストの削減と量産性及び信頼性の向上が図れる。

【0012】なお、本発明に係る工程(a)～(e)

は、半導体ウエハーに対して行うことも、固片チップに対して行うことも可能である。

【0013】また、本発明の半導体装置の製造方法は、前記工程(b)において、前記ハンダポストは、パッド開孔部上の再配線層引き出し領域にも選択メッキ形成されていることを特徴とする。

【0014】このように、ハンダポストを同一工程でパッド開孔部にも形成することができるため、樹脂の封止や研削工程でのストレスを回避できる。又、パッド開孔内部にもハンダが充填されるので再配線の付きまわり不良を補い断線を回避できる。

【0015】さらに、本発明の半導体装置の製造方法は、前記工程(b)において、前記ハンダポストは、フォトリソをマスクに再配線層金属とは異種の金属を選択メッキした後に、続けてハンダ層を選択メッキして形成されていることを特徴とする。

【0016】工程(c)において、ハンダポストを熱処理して球状にするが、温度が高いと再配線層上をハンダが流れやすくなる。ハンダを選択メッキする前に同じパターンの再配線層と異なる金属をベース層としてメッキすることでハンダ流れのストップガイドの役割を果たし、厳しい温度管理をしなくても、ポスト形状の安定化が図れる。例えば、Cuの再配線層上にNiあるいは、Ni再配線層上にCu等、もしくはいずれの再配線層上にAuNi合金等の異種金属を配置することでハンダ流れを抑御できる。あるいは、本願発明の半導体装置の製造方法は、前記工程(e)において、前記外部端子は、ハンダポストより融点の低い組成材料でなることを特徴とする。

【0017】もしくは、本発明の半導体装置の製造方法は、前記工程(e)において、外部端子は、ハンダポストより融点の低い組成材料でなることを特徴とする。

【0018】さらには、本発明の半導体装置の製造方法は、前記工程(e)の後に、ダイシングを施してチップ毎に固片化する工程をさらに有することを特徴とする。

【0019】前記チップ毎に固片化する工程は、前記工程(a)～(e)を半導体ウエハーに対して行った場合に適用される工程であり、前記工程(a)～(e)を固片チップに対して行った場合には適用されない。

【0020】ここで、工程(e)において、ハンダボールを露出ポスト上に搭載し熱処理によって溶着させ外部

(4)

5

端子とさせるが、内部にCuやNi等のハンダより融点の高い核を持ったボールを適用することで、外部端子の高さや形状がばらつきが少なくなる。したがってマザーボード等への装着時の歩留まりが改善され、更に核の浮遊によって応力緩和の役割も果たし、素子への特性影響と装着条件の制御が容易になる。

【0021】また、本発明の半導体装置は、チップサイズパッケージ型の半導体装置であって、最終配線のパッド開孔部から再配線層を施し、前記再配線層の所望領域に封止樹脂で一部を囲まれた球状ポストを有し、前記球状ポストの上に外部端子が形成されてなることを特徴とする。

【0022】本発明の半導体装置は、前記半導体装置は、半導体ウエハーでもよいし、前記再配線層、前記球状ポスト、及び前記外部端子が形成された後に半導体チップ毎に固片化されてなるものでもよいし、半導体ウエハーを半導体チップ毎に固片化した後に、前記再配線層、前記球状ポスト、及び前記外部端子が形成されてなるものでもよい。

【0023】このように、本発明の半導体装置は、半導体ウエハー及び固片チップのいずれの態様であってもよい。

【0024】あるいは、本発明の半導体装置は、前記球状ポストは、メッキ法によるハンダで形成されていることを特徴とする。

【0025】さらには、本発明の半導体装置は、チップサイズパッケージ型の半導体装置であって、樹脂で覆われるポスト側面の形状は、シリコン基板に対して少なくとも一部が垂直でない領域を持つことを特徴とする。

【0026】この半導体装置によれば、樹脂で覆われる

ポスト側面の形状は、シリコン基板に対して少なくとも一部に垂直でない領域を持つことができ、ウエハーレベルのCSPとして、例えば携帯機器のマザーボードに装着する場合の引っ張り応力に対して強度が確保され、歩留まりや信頼性の向上が図れる。又、ポストが配置される領域における再配線層の少なくとも一部に、異種金属層を設けることで、ポストの形状制御と密着強度の向上が図れる。

【0027】または、本発明の半導体装置は、チップサイズパッケージ型の半導体装置であって、外部端子を搭載するポストが、中空形状となっていることを特徴とする。

【0028】さらには、本発明の半導体装置は、チップサイズパッケージ型の半導体装置であって、外部端子は、表面がハンダ材で構成され、内部に前記ハンダ材より融点の高い金属核を有することを特徴とする。

【0029】このように、更にハンダ外部端子の内部に、ハンダより融点の高い、例えばCuやNiあるいは合金等の核を保有させることで、外部端子の形状ばらつきを抑え、ボード装着時に応力を緩和し条件マージンを

6

広くとることが可能になり、歩留まりや信頼性の向上が図れる。

【0030】

【発明の実施の形態】（第1の実施の形態）図1は、本発明の第1の実施の形態に係る半導体装置の断面構造図である。第1の実施の形態に係る半導体装置の構造を簡単に説明する。シリコン基板11にはMOSトランジスタ等の半導体素子が形成され、これらが層間絶縁膜を介してAl合金等の金属で配線され、シリコン酸化膜やシリコン窒化膜等である最終保護絶縁層13で覆われている。外部電極取り出しのために例えば最終配線の外部への電極取り出し用のパッド12を設け、該保護絶縁層13の必要領域を開孔し、その上層に開孔部を除いて例えば数十～100 $\mu$ m程度のポリイミド層14が、素子への応力緩和のため積層されている。パッド12からはTiWでなる密着層15とCuシード層16、更に数 $\mu$ mの厚みでCuをメッキ成膜した再配線層18を有する。再配線層18上の所定領域にハンダメッキで成膜した後、熱処理した球状ポスト20が形成され、その周囲をエポキシ等の封止樹脂21で包み、表面はほぼ同一面で研削され、結果的にポスト20側面は弓形をなしている。露出した頭部にハンダボールを搭載した外部端子22が、所望ポスト20上に溶着形成されている。内部素子からパッド12、再配線層18、球状ポスト20等を介して外部端子22に電気的接続がなされる。

【0031】次に、第1の実施の形態に係る半導体装置の製造方法を説明する。図2及び図3は、これを工程順に説明するための概略断面図である。

【0032】図2(A)に示すように、まず半導体素子等が形成されたシリコン基板11にパッド12を含むAl合金の最終配線と、プラズマCVDによってシリコン窒化膜等の保護絶縁層13を1000nm程度成膜し、所望領域の該絶縁層13を選択エッチングして開孔する。更に応力緩和のため厚みが数十～100 $\mu$ m程度のポリイミド層14を成膜しパッド開孔部を選択除去する。保護絶縁層13とポリイミド層14は同一フォトリソで選択開孔すると、パッド12までの段差形状が厳しくなり、テーパ化しても後述する再配線工程での段切れを生ずるので、別工程で行なうのが良く、更に感光性ポリイミドを用いると工程が簡略化される。次いで、数十～100nm程度のTiW、100～1000nm程度のCuを連続スパッタして密着層15及びシード層16を形成した後、フォトリソ17をパターンニングしここに数百～数千nm程度の厚みのCuを選択電界メッキし再配線層18を形成する。密着層15は、TiWの他にCr、Ni、Ti、TiCu、Pt等高融点金属やその合金を適用しても良い。またシード層16にはCuの他にNi、AgやAuもしくはこれらの合金も適用できる。

【0033】次に、図2(B)に示すように、新たに

(5)

7

フォト工程でパターンニングしたレジスト19をマスクに、再配線層18の所望領域に数十～100 $\mu$ m程度の厚みで選択メッキしたハンダポスト200を成長させる。選択メッキは電界法でPb85～97wt%/Snの組成でなる高温ハンダを成長させた。Cuをポストを用いる場合には表面酸化皮膜等ができないようにNiやAuやその合金あるいはハンダ等をバリア層として再メッキが必要であったが、ハンダポスト200の場合は不要である。その後レジスト19を剥離し、再配線層18をマスクにイオンミリングを用いて不要領域のシード層16と密着層15を選択除去することで、図2(C)に示すように、再配線が各々分離される。この除去工程には、王水、硝酸第二セリウムアンモニウムや水酸化カリウムの水溶液等のウェットエッチでも良いが、再配線を構成する各金属層のサイドエッチやハンダポスト200の厚み減少を考慮するとドライエッチャーやミリング等によるエッチバックが好ましい。

【0034】続いて、図3(A)に示すように、必要に応じてフラックスを塗布し、180～230℃程度の窒素雰囲気中で数～10分ほど熱処理をするとハンダポスト200がフローされて球状ポスト20が形成される。この時の形状や大きさは、パターン寸法、膜厚と組成及び温度と時間に依存する。ハンダポスト200のパターンの幅は数十～数百 $\mu$ mで選択したが、平面形状は、正方形に限らず長方形や多角形等、パッド12と同様に多様化出来る。更に、図3(B)に示すように、モールド装置によって、エポキシ等の封止樹脂21で球状ポストを覆い、続いてグラインダーで球状ポスト20が露出するように研削する。この時の研削量の管理は、球状ポスト20の頂点から最大径に達するまでの距離の1/5～4/5の範囲として、研削量のマージンは従来のCuをポストを用いる場合より十分に大きくできた。ここでは、球状ポスト20が封止樹脂21で上面から包まれるかたちとすることがポイントである。尚、樹脂の研削にはグラインダーを用いたがウェーハ状のシリコン基板全面を一括機械研磨する方式あるいは、酸素やCF4あるいはNF3もしくはこれらの混合ガスを用いたドライエッチャーによるエッチバックも応用可能である。

【0035】次に、図3(C)に示すように、必要に応じてフラックスを塗布し、Pb/Sn60～70wt%ハンダボール220を自動移載機で必要なポスト20上に配置し、170～200℃程度の熱処理でリフローさせると、図1に示すような球状ポスト20と溶着した外部端子22が形成される。ハンダボール220の大きさは、BGA(Ball Grid Array)用に150～300 $\mu$ m径を用いたが、用途によって特に限定されない。外部端子22用のハンダは、ポスト20に用いるハンダより融点の低い材料を用いた方が、リフロー時のポストの変形が少なく、その結果外部端子形状のばらつきが少ない。又ハンダボール220を搭載する代わりに、印刷

8

法、メッキ法やメタルジェット法による外部端子用のハンダ層の形成も考えられるが、工数やコスト、形状再現性はボール搭載法に劣る。

【0036】第1の実施の形態によれば、ポスト20の側面は弓形を保って封止樹脂21で包み込まれるように固定されている。従って後工程で生ずる各方向からの応力に対しても、ポスト20の密着力が確保され、特に従来に比べ引っ張り方向の応力に対する密着力は大幅に改善され、歩留まりや信頼性の向上が図れた。又、ポスト20の形成においては、厚いCu層やバリア層のメッキやフォト工程を必要とせず、スループットやコストの改善がなされる。又、バリア層がないので、樹脂封止後の研削量の制御管理が容易となり歩留まりと量産性の向上が図れた。更に外部端子22を構成する材料の融点をポスト20の構成材料のそれより低くし、外部端子の形状安定化も含めマザーボード等へのCSP装着歩留まりと信頼性が確保される。

【0037】この他、図2(B)におけるハンダポスト200の形成工程において、パッド12領域の再配線層18上にも、ポストパターンを同時に形成した半導体装置も製造したが、後工程で生じるパッド12周辺領域での再配線の密着不良やクラック等が低減した。又パッド12からの再配線を構成する各スパッタ層の厳しいステップカバレッジをポスト材で補うことができ、段切れ不良を低減することができた。このポストは外部端子を搭載する必要はないので、他の部署のポストより面積の小さなパターンを一括フォトリソで形成し、第1の熱処理でパッド開孔部に沈むような形態にすると封止樹脂を研削する際に、表面が露出しない状態のポストとできる。又、フォトパターンの大きさを調整してこのポストに外部端子を搭載し、補強用端子もしくは機能チェック用端子として活用しても良い。

【0038】(他の実施の形態)熱処理でハンダポスト200を球状化する際に、フラックスの塗布条件や材料あるいは再配線層18の表面状態によって、該再配線層上18をハンダが流れて、結果的に球状ポスト20の高さがばらつく場合がまれにあった。これを防ぐ方法として、図4に示すように、ハンダポスト200を成長する前に、予め再配線層18と異なるNiやAu等の異種金属を、数十nm程度の厚みで薄くメッキしたベース層23を施した。その結果、従来のようなハンダ流れが皆無になりポスト20形状の安定化が図れた。

【0039】又、第1の実施の形態では外部端子となるPb/Sn60wt%程度でなるハンダボールを用いたが、これに代えて、図5に示すように、内部に融点の高いNi核50を含み、外周が従来のハンダ材で覆われたボールを試作適用した結果、従来の場合に比べ外部端子22の形状の安定化が図れた。CSPを装着する工程においては、ハンダ溶着の際に核の浮遊運動によって、相手マザーボードの配線高さがばらついても確実な接触と

. (6)

9

固定が確保され、その結果溶着圧力や温度制御マージンが広がり、ボードへの装着歩留まりの向上が図れた。

【0040】この他、再配線層 18 を形成後、図 6

(A) に示すように、フォトリソで、ハンダポスト 200 を形成する領域の更に内部にパターンレジスト 190 を形成しておき、従来法と同じように Cu ポスト 30 と Ni のバリア層 31 を選択メッキし、中空ポストを形成する。その後レジスト 19 及び 190 を剥離し、再配線層 18 をマスクにイオンミリングを用いて不要領域のシード層 16 と密着層 15 を選択除去して再配線を各々分離した。その後、必要に応じフラックスを塗布してから、ハンダボール 220 を自動移載機で所望する中空ポスト上に配置し、170~200 でリフローさせると、図 6 (B) に示すように、中空ポストと溶着した外部端子 22 が形成される。次にエポキシ等の封止樹脂 21 を塗布した後、酸素や CF<sub>4</sub> の混合ガスを用いたドライエッチャーでエッチバックし、外部端子 22 を露出し、図 6 (C) に示すような半導体装置を製造した。この結果ポストが中空形状でメッキコストの更なる低減が図れ、且つ外部端子とポストとの密着面積が増し強度が大きくなった。又、内部へ流れるハンダ量を調整することや、中空ポストを構成する板厚 40 を調整することでポストに柔軟性を持たせ封止樹脂が硬化する際の応力を緩和し、ポスト直下の半導体素子への影響を防ぎ、CSP 型の半導体装置の信頼性が確保できる効果もある。

【0041】尚、再配線層 18、球状ポスト 20 や外部端子は、電極取り出し用のパッドだけに限らず、各種ダミーパッド上に形成して、装着補強端子等に用いてもさ

すことができる。

【0042】又、これまで説明した実施の形態においては、半導体装置の配線が Al 合金で構成されたものについて説明したが、Cu や高融点金属材料もしくはそれらの積層や合金配線層で形成されたものでも可能で、さらに配線層の形成がダマシン法で行われる半導体装置にも適用できる。特に Cu を用いたダマシン配線に Cu や Ni の再配線を形成する場合は、平坦性やパッド材との密着相性が良好である。

【0043】更に、実施例での、Pb/Sn 系ハンダのほかに、Pb を含まないハンダ材として Sn に Ag、Cu や Bi 等を含む組成のハンダの適用も可能である。

【0044】

【発明の効果】以上のように、本発明によれば、ウエーハレベルの CSP において外部端子を搭載するポストをハンダで形成してから球状化処理を行ない、更に該ポストを封止樹脂で包むかたちとして、再配線からポストおよび外部端子強度を大きくし信頼性の高い半導体装置を、

10

低コストで供給することができる。更にハンダ外部端子内部に、該ハンダ材より高い融点の金属核を保有させることやハンダポスト直下に再配線材と異種金属のベース層を挟むこと等により、各構成部材の形状ばらつきを抑え、CSP をマザーボードへ搭載する際の歩留まり向上や、半導体素子へ加わる応力緩和が図れ、量産性に富んだ微細 CSP 型の半導体装置を供給できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係わる半導体装置の断面構造面である。

【図 2】本発明の第 1 の実施の形態に係わる半導体装置の製造方法の一例を工程順に示す断面構造図である。

【図 3】図 2 に示す工程に続いて行われる本発明の第 1 の実施の形態に係わる半導体装置の製造方法の一例を工程順に示す断面構造図である。

【図 4】本発明の他の実施の形態に係わる半導体装置の製造方法の一例を示す断面構造図である。

【図 5】本発明の更に他の実施の形態に係わる半導体装置の製造方法の一例を断面構造図である。

【図 6】本発明の更に他の実施の形態に係わる半導体装置の製造方法の一例の工程順を示す断面構造図である。

【図 7】従来の半導体装置の製造方法の一例を工程順に示す断面構造図である。

【図 8】図 7 に示す工程に続いて行われる従来の半導体装置の製造方法の一例を工程順に示す断面構造図である。

【符号の説明】

11 シリコン基板

12 パッド

13 保護絶縁層

14 ポリイミド層

15 密着層

16 シード層

17、19、190 レジスト

18 再配線層

20 球状ポスト

21 封止樹脂

22 外部端子

23 ベース層

30 Cu ポスト

31 バリア層

40 板厚

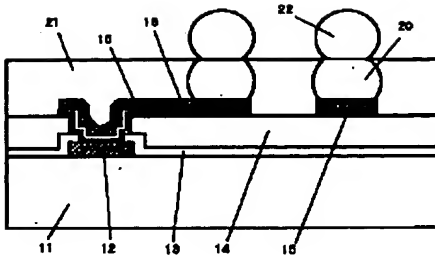
50 核

200 ハンダポスト

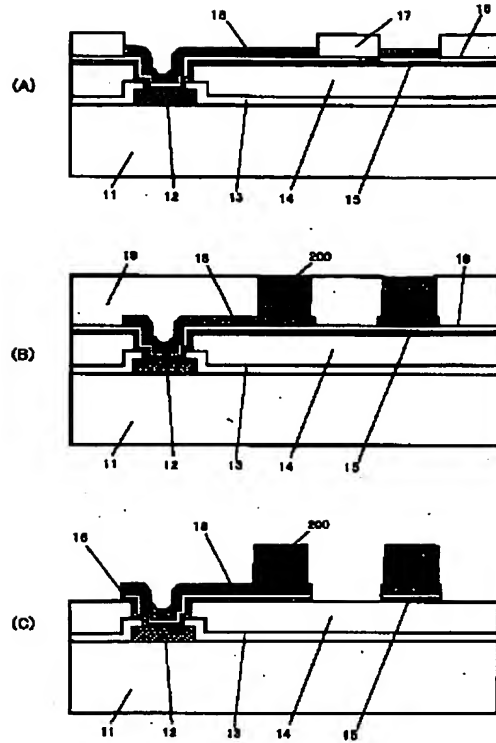
220 ハンダボール

(7)

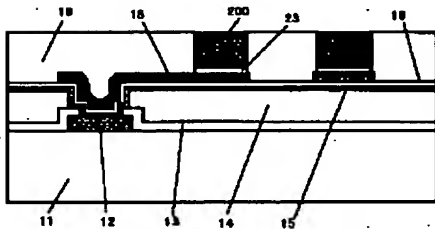
【図1】



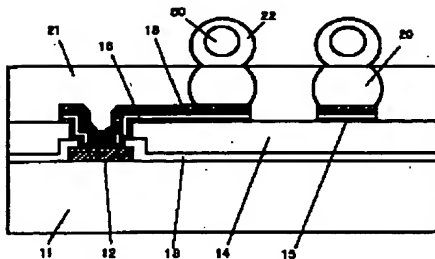
【図2】



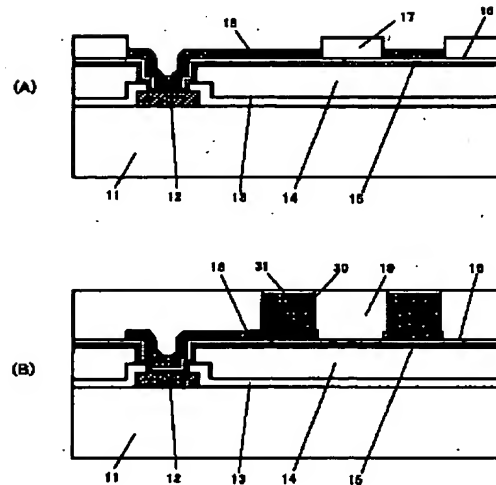
【図4】



【図5】

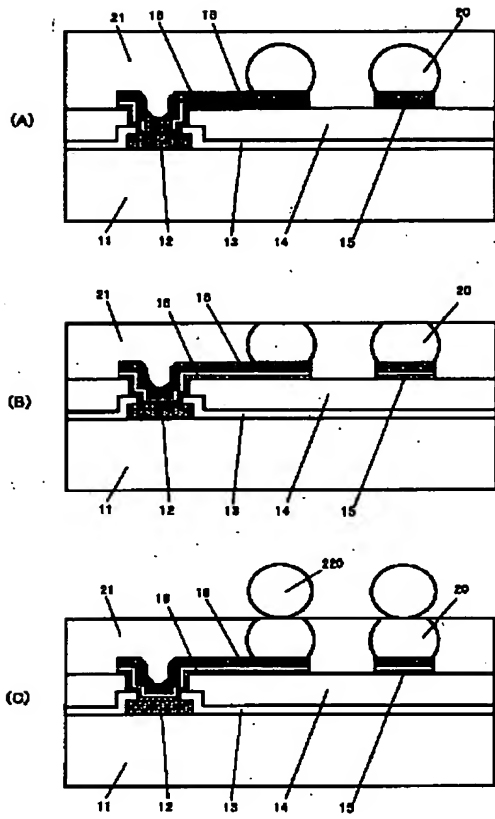


【図7】

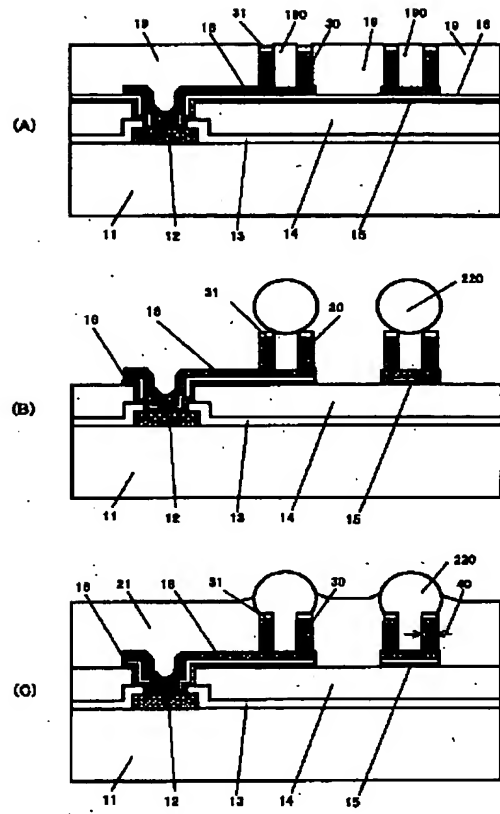


・ (8)

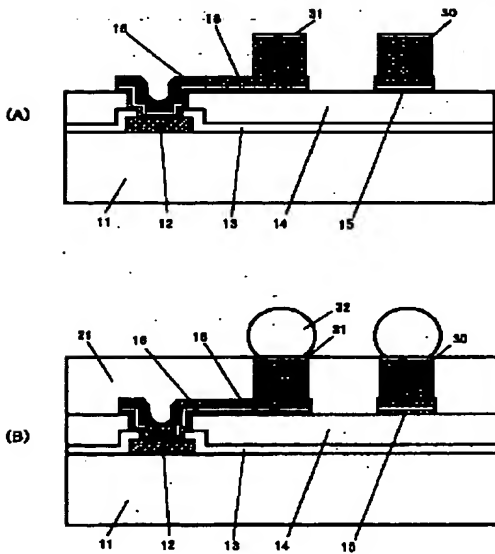
【図3】



【図6】



【図8】



.(9)

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコード\* (参考)

H O 1 L 21/92

6 0 3 D

6 0 4 H

F ターム(参考) 5F033 HH07 HH11 HH12 HH13 HH14  
 HH17 HH18 HH23 JJ07 JJ11  
 JJ12 JJ13 JJ14 JJ17 JJ18  
 JJ23 KK07 KK08 KK11 KK12  
 KK13 KK14 KK17 KK18 KK23  
 MM08 MM17 NN30 PP15 PP27  
 QQ09 QQ11 QQ14 QQ19 QQ27  
 QQ30 QQ31 QQ37 QQ46 QQ73  
 QQ75 RR06 RR21 RR22 RR27  
 SS15 VV07 XX14 XX33 XX34  
 5F061 AA01 BA07 CA21 CB13



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**